

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: **100393669 B1**
 (43)Date of publication of application: **23.07.2003**

(21)Application number: **1019960034484**
 (22)Date of filing: **20.08.1996**

(71)Applicant: **SAMSUNG ELECTRONICS CO., LTD.**
 (72)Inventor: **KO, SEONG HYEON**

(51)Int. Cl. **G09G 3/36**

(54) DUAL CLOCK SOURCE DRIVER IC OF LCD PANEL

(57) Abstract:

PURPOSE: A dual clock source driver IC of an LCD panel is provided to reduce noise and electromagnetic waves by using two clocks whose frequency is 1/2 of a conventional clock signal and phase is reverse. CONSTITUTION: A dual clock source driver IC of an LCD panel includes a shift register unit(21), a logic operation unit(22), and a latch circuit(23). The shift register unit(21) includes a plurality of flip-flops. A sampling pulse is applied to an input terminal of the first flipflop. The first clock signals are applied to the odd-numbered flipflops.



The first clock whose frequency is 1/2 of a main clock. The second clock signals are applied to the even-numbered flipflops. The second clock whose frequency is same that of the main clock. A phase of the second clock is opposite to the phase of the main clock. The logic operation unit(22) generates a latch control pulse by using the outputs of two flipflops. The latch circuit(23) is used for maintaining data of color signals in a high block of the latch control pulse to an output terminal.

copyright KIPO 2004

Legal Status

Date of request for an examination (20010813)
 Notification date of refusal decision (00000000)
 Final disposal of an application (registration)
 Date of final disposal of an application (20030623)
 Patent registration number (1003936690000)
 Date of registration (20030723)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)
 Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) . Int. Cl.⁶
G09G 3/36

(45) 공고일자 2003년10월17일
(11) 등록번호 10-0393669
(24) 등록일자 2003년07월23일

(21) 출원번호 10-1996-0034484
(22) 출원일자 1996년08월20일

(65) 공개번호 특1998-0015234
(43) 공개일자 1998년05월25일

(73) 특허권자 삼성전자주식회사
경기도 수원시 팔달구 매단3동 416번지
(72) 발명자 고성현
경기도 수원시 권선구 매교동167-55 (18/3)
(74) 대리인 최현석
유미특허법인

심사관 : 성경덕

(54) 액정 표시 장치의 듀얼 클럭 소스 구동회로

요약

이 발명은 액정 표시 장치의 듀얼 클럭(dual clock) 소스 구동회로(source driver IC)에 관한 것으로서, 서로 직렬 연결된 다수의 플립플롭을 가지며, 상기 다수의 플립플롭 중 최초의 플립플롭의 입력단에는 샘플링 펄스가 입력되며, 상기 다수의 플립플롭 중 홀수 제 플립플롭의 클럭단에는 주파수가 메인 클럭신호의 1/2인 제1클럭신호가 입력되며, 짝수 제 플립플롭의 클럭단에는 주파수가 상기 제1클럭신호와 동일하고 위상이 반대인 제2클럭신호가 입력되며, 각 플립플롭은 클럭단 신호의 라이징 에지에서 입력단의 데이터를 출력단에 유지시키는 시프트 레지스터부; 상기 시프트 레지스터부 내의 이웃하는 두 플립플롭의 출력을 이용하여 소정의 래치 제어 펄스를 생성하는 논리연산부; 및 인터페이스 회로에서 제공되는 색신호의 데이터를 메인 클럭신호를 이용하여 소정 클럭 지연시켜 얻어진 색신호의 데이터를 상기 논리연산부에서 생성된 래치 제어 펄스의 하이 구간에서 출력단에 유지시키는 래치회로로 구성되어, 노이즈 및 전자파의 발생을 종래에 비해 감소시킬 수 있고, 인터페이스 회로가 복잡해지는 것을 막을 수 있을 뿐만 아니라 두 개의 하이 구간을 가지는 래치 제어 펄스에 의해 래치회로를 프리충전시킬 수 있다.

대표도

도 3

명세서

도면의 간단한 설명

도1은 종래의 일반적인 액정 표시 장치의 소스 구동회로를 도시한 구성도.
도2는 상기 도1에 도시된 소스 구동회로의 각부 파형도.
도3은 이 발명의 실시예에 따른 액정 표시 장치의 소스 구동회로를 도시한 구성도.
도4는 상기 도3에 도시된 소스 구동회로의 각부 파형도.
도5는 상기 도3에 도시된 지연회로의 상세 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

이 발명은 액정 표시 장치의 듀얼 클럭(dual clock) 소스 구동회로(source driver IC)에 관한 것으로서, 더욱 상세하게 말하면 종래의 클럭 신호에 비해 주파수는 1/2이면서 위상이 서로 반대인 두 개의 클럭신호를 이용하여 내부의 시프트 레지스터 회로를 동작시킬 수 있는 액정 표시 장치의 소스 구동회로에 관한 것이다.

이하, 첨부된 도면을 참조하여 종래의 일반적인 액정 표시 장치의 소스 구동회로를 설명한다.

도1은 종래의 일반적인 액정 표시 장치의 소스 구동회로를 도시한 구성도이고, 도2는 상기 도1에 도시된 소스 구동회로의 각부 파형도이다.

도1에 도시되어 있듯이, 일반적인 액정 표시 장치의 소스 구동회로는, 시프트 레지스터부(11), 래치 회로(12), 레벨 시프트 회로(13), 디지털/아날로그 변환회로(14), 출력회로(15)로 구성된다. 상기 소스 구동회로의 출력회로(15)는 액정 패널(30)과 연결되어 있다.

보다 상세하게, 상기 시프트 레지스터부(11)는 서로 직렬로 연결된 다수의 플립플롭으로 구성되며, 상기 각 플립플롭에는 도2에 도시된 바와 같은 클럭신호(CLK)가 공통으로 입력된다. 상기 시프트 레지스터부(11)에서 최초의 시프트 레지스터의 데이터 입력단에는 도2에 도시된 바와 같은 샘플링 펄스가 입력된다. 따라서, 상기 각 플립플롭은 클럭신호(CLK)의 상승 에지(rising edge)에서 입력단의 상기 샘플링 펄스를 출력단에 전달하는 역할을 수행한다. 상기 각 플립플롭의 출력(C1~Cn)은 래치회로(12)에 제공된다.

래치회로(12)는 상기 플립플롭 출력(C1~Cn)의 하이 구간에서 대응하는 색신호의 데이터(RGB DATA)를 출력단에 유지시키며, 특히 도2에 도시된 색신호의 유요 구간에 대하여 작용한다. 상기 래치회로(12)에서 출력되는 색신호의 데이터는 레벨 시프트 회로(13)에서 직류 레벨이 변환된다. 이어서, 디지털/아날로그 변환회로(14)는 상기 레벨 시프트 회로(13)에서 출력되는 색신호 데이터의 소정 비트마다 다수의 계조전압 중 하나를 선택하며, 상기 선택된 계조전압은 출력회로(15)를 통해 액정 패널(30)에 인가된다. 전원신호(VCC, GND), 좌우 선택신호(L/R), 로드 신호(LD)는 상기 출력회로(15)의 동작을 제어하기 위한 것이다.

그런데, 상기 설명된 액정 표시 장치의 소스 구동회로는 고정세화, 즉 구동해야 할 액정 패널 상의 데이터 라인의 수가 증가함에 따라, 노이즈 및 전자파 장애(EMI : Electromagnetic Interference)의 증가라는 문제에 직면하고 있다. 보다 상세하게, 하나의 소스 구동회로가 커버해야 할 액정 패널 상의 데이터 라인 수가 증가함으로써 클럭신호의 주파수가 필수적으로 증가하며, 이로 인해 클럭신호의 실효 하이(effective high) 또는 실효 로우(effective low)구간이 짧아지므로, 소스 구동회로가 노이즈에 취약해지고 소스 구동회로에서 보다 많은 전자파가 발생한다.

위와 같은 문제점을 해결하기 위하여, 인터페이스 회로 및 소스 구동회로를 개선하려는 노력이 진행되고 있으며, 인터페이스 회로의 2분주 구동, 소스 구동회로의 2포트 구동 및 더블 에지 클럭킹(double edge clocking)과 같은 기법이 소개되고 있다.

그러나, 이러한 기법들은 인터페이스 회로의 복잡화, 소비 전력의 증대, 배선의 증가로 인한 문제점을 가지며, 소스 구동회로의 칩 사이스가 증대될 가능성이 있고, 소스 구동회로에서 사용되는 클럭신호의 주파수는 메인 클럭신호와 동일하기 때문에 노이즈 및 전자파의 발생을 효과적으로 해결하지는 못한다.

발명이 이루고자 하는 기술적 과제

이 발명의 목적은 상기한 바와 같은 종래의 문제점을 해결하기 위한 것으로서, 서로 위상이 반대이고 주파수가 메인 클럭신호의 1/2인 두 개의 클럭신호에 의해 시프트 레지스터부가 구동되도록 함으로써 노이즈 및 전자파의 발생을 감소시킬 수 있는 액정 표시 장치의 듀얼 클럭 소스 구동회로를 제공하는 데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 이 발명에 따른 액정 표시 장치의 소스 구동회로는, 서로 직렬로 연결된 다수의 플립플롭을 가지며, 상기 다수의 플립플롭 중 최초의 플립플롭의 입력단에는 샘플링 펄스가 입력되며, 상기 다수의 플립플롭 중 홀수 계 플립플롭의 클럭단에는 주파수가 메인 클럭신호의 1/2인 제1클럭신호가 입력되며, 짝수 계 플립플롭의 클럭단에는 주파수가 상기 제1클럭신호와 동일하고 위상이 반대인 제2클럭신호가 입력되며, 각 플립플롭은 클럭단 신호의 라이징 에지에서 입력단의 데이터를 출력단에 유지시키는 시프트 레지스터부; 상기 시프트 레지스터부 내의 이웃하는 두 플립플롭의 출력을 이용하여 소정의 래치 제어 펄스를 생성하는 논리연산부; 및

인터페이스 회로에서 제공되는 색신호의 데이터를 메인 클럭신호를 이용하여 소정 클럭 지연시켜 얻어진 색신호의 데이터를 상기 논리연산부에서 생성된 래치 제어 펄스의 하이 구간에서 출력단에 유지시키는 래치회로를 포함한다. 이하, 첨부된 도면을 참조하여 이 발명의 바람직한 실시예를 상세히 설명한다.

도3은 이 발명의 실시예에 따른 액정 표시 장치의 소스 구동회로를 도시한 구성도이고,

도4는 상기 도3에 도시된 소스 구동회로의 각부 파형도이고,

도5는 상기 도3에 도시된 지연회로의 상세 회로도이다.

먼저, 도3을 참조하여 이 발명의 실시예에 따른 액정 표시 장치의 소스 구동회로의 구성을 설명한다.

도3을 참조하면, 이 발명의 실시예에 따른 액정 표시 장치의 소스 구동회로는, 서로 직렬 연결된 다수의 플립플롭을 가지는 시프트 레지스터부(21), 상기 다수의 플립플롭 중 이웃하는 두 플립플롭의 출력을 입력하도록 연결된 다수의 배타적 논리합 소자를 가지는 논리연산부(22), 상기 논리연산부(22)의 출력단에 순차적으로 연결된 래치회로(23), 레벨 시프트 회로(24), 디지털/아날로그 변환회로(25) 및 출력회로(26)로 구성된다.

도3에 도시된 것 중 41은 T형 플립플롭이고, 42는 지연회로로서 이 둘은 인터페이스 회로에 내장된다. 또한 30은 액정 패널이다.

T형 플립플롭(41)의 입력단에는 메인 클럭신호(MCLK)가 입력되며, 상기 T형 플립플롭(41)은 메인 클럭신호(MCLK)를 2분주하여 출력한다. 이에 따라, 상기 T형 플립플롭(41)의 출력단과 반전 출력단에서는 주파수가 메인 클럭신호(MCLK)의 1/2이고 위상이 서로 반대인 두 개의 클럭신호(CLK1, CLK2)가 생성된다. 상기 두 클럭신호(CLK1, CLK2)의 파형은 도4에 도시된 바와 같다.

이때, 클럭신호(CLK1)는 시프트 레지스터부(21) 내의 홀수 계 플립플롭의 클럭단에 입력되며, 클럭신호(CLK2)는 짝수 계 플립플롭의 클럭단에 각각 입력된다. 따라서, 각 플립플롭은 해당 클럭신호의 라이징 에지에서 입력단의 데이터타를 출력단에 유지시키며, 도4의 Q1~Q4에 도시되어 있듯이, 샘플링 펄스가 클럭신호(CLK1, CLK2)의 반클럭 단위로 각 플립플롭의 출력단에서 나타난다.

논리연산부(22)는 다수의 배타적 논리합 소자를 가지고 있으며, 각 배타적 논리합 소자는 상기 다수의 플립플롭 중 이웃하는 두 개의 출력을 입력받는다. 즉, 각 배타적 논리합 소자는 이웃하는 두 플립플롭의 출력에 대하여 배타적 논리합 연산을 수행한 후, 그 결과 얻어지는 파형을 래치 제어 펄스로서 상기 래치회로(23)에 제공한다. 도4의 C1, C2, C3에 도시된 바와 같이, 래치 제어 펄스는 두 개의 하이 구간을 가지는 펄스신호이다.

래치회로(23)는 상기 래치 제어 펄스의 두 하이 구간 중 하나를 이용하여 래치 제어 펄스의 하이 구간에서 대응하는 색신호 데이터(RGB DATA)를 출력단에 유지시킨다. 그 이전에 색신호 데이터(RGB DATA)는 인터페이스 회로 내부의 지연회로(42)로부터 얻어지며, 이것은 래치 제어 펄스가 두 개의 하이 구간을 가지므로, 색신호 데이터가 상기 래치 제어 펄스의 하이 구간보다 더 나중에 위치하도록 하기 위한 것이다.

도5에 도시된 것은 지연회로(42)의 상세 회로도이며, 지연회로(42)는 색신호 데이터(RGB DATA)의 비트수와 동일한 한 수의 플립플롭으로 구성된다. 상기 지연회로(42) 내의 각 플립플롭은 메인 클럭신호에 따라 대응하는 색신호 데이터의 비트를 1클럭 지연시킨 후 출력단에 제공한다.

한편, 래치 제어 펄스(C1~Cn)의 두 개의 하이구간 중 나머지 하나는 래치회로(23)에서의 프리충전(precharge) 동작을 위해 사용될 수 있다.

또한, 종래와 같이 하나의 하이구간을 가지는 래치 제어 펄스를 생성하기 위해서는, 논리연산부(22)의 각 배타적 논리합 소자를 논리곱 소자로 대체하고에 의해 달성된다. 즉, 상기와 같이 논리연산부(23)를 구성하면, 각 래치 제어 펄스는 이웃하는 두 플립플롭의 출력을 논리곱하여 얻어지므로, 두 플립플롭의 출력이 모두 하일 경우에만 하이구간을 가진다. 도3에서 래치회로(23) 이후의 동작은 상기 도1을 참조한 설명과 동일하므로, 중복을 피하기 위하여 여기서는 추가의 설명을 하지 않는다.

이 발명의 실시예에서 설명된 소스 구동회로는 디지털 방식이지만, 이 발명의 원리는 아날로그 소스 구동회로에도 적용될 수 있다. 통상, 아날로그 소스 구동회로에서도 시프트 레지스터부와 사용되고 위상이 서로 반대이고 주파수가 메인 클럭신호의 1/2인 두 개의 클럭신호를 시프트 레지스터부에 적용되도록 아날로그 소스 구동회로를 구성할 수 있다.

발명 이 요

이 발명에 따른 액정 표시 장치의 소스 구동회로는 구동 주파수가 메인 클럭신호의 1/2이기 때문에 노이즈 및 전하파의 발생을 종래에 비해 감소시킬 수 있다. 또한, 메인 클럭을 간단히 2분주하여 두 개의 클럭신호를 생성하므로 인터페이스 회로가 복잡해지는 것을 막을 수 있다. 이에 더하여, 래치 제어 펄스가 두 개의 하이구간을 가지도록 하여 래치 회로를 프리충전시킬 수 있다.

(57) 청구의 범위

청구항 1.

서로 직렬 연결된 다수의 플립플롭을 가지며, 상기 다수의 플립플롭 중 최초의 플립플롭의 입력단에는 샘플링 펄스가 입력되며, 상기 다수의 플립플롭 중 홀수 계 플립플롭의 클럭단에는 주파수가 메인 클럭신호의 1/2인 제1클럭신호가 입력되며, 짝수 계 플립플롭의 클럭단에는 주파수가 상기 제1클럭신호와 동일하고 위상이 서로 반대인 제2클럭신호가 입력되며, 각 플립플롭은 클럭단 신호의 라이징 에지에서 입력단의 데이터타를 출력단에 유지시키는 시프트 레지스터부; 상기 시프트 레지스터부 내의 이웃하는 두 플립플롭의 출력을 이용하여 소정의 래치 제어 펄스를 생성하는 논리연산부; 및 인터페이스 회로에서 제공되는 색신호의 데이터타를 메인 클럭신호를 이용하여 소정 클럭 지연시켜 얻어진 색신호의 데이터타를 상기 논리연산부에서 생성된 래치 제어 펄스의 하이구간에 출력단에 유지시키는 래치회로를 포함하는,

액정 표시 장치의 듀얼 클럭 소스 구동회로.

청구항 2.

제1항에 있어서, 상기한 논리연산부는

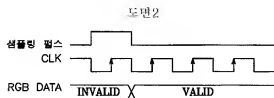
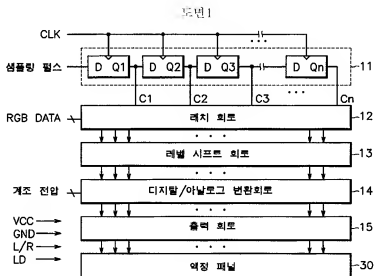
상기 다수의 플립플롭 중 이웃하는 두 플립플롭의 출력을 입력하도록 연결된 다수의 배타적 논리합 소자를 가지는, 액정 표시 장치의 듀얼 클럭 소스 구동회로.

청구항 3.

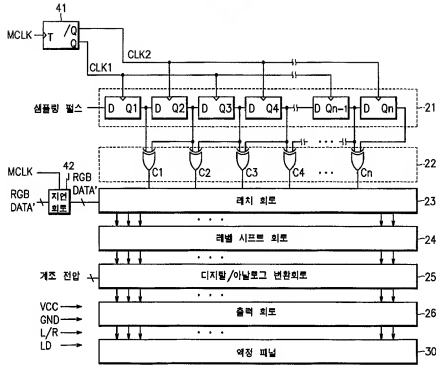
제1항에 있어서, 상기한 논리연산부는

상기 다수의 플립플롭 중 이웃하는 두 플립플롭의 출력을 입력하도록 연결된 다수의 논리곱 소자를 가지는 액정 표시 장치의 듀얼 클럭 소스 구동회로.

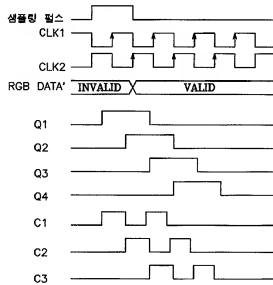
도면



도면3



도면4



도면5

